2021 乐鑫数字IC提前批笔试题

**【填空题】每题2分**

1.将2004个“1”异或起来的结果为（）；

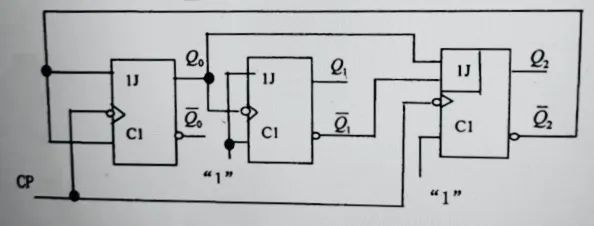
2.用2048x12的ROM芯片，最多能实现（）个输入（）输出的组合逻辑函数；

3.OPP的三大特征是（）（）（）；

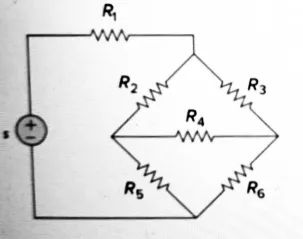
4.某个SRAM一共12根地址线A11-A0，32根数据线D31-D0，如果要实现 bytes的Memory，需要（）块这样的SRAM;

5.NAND和NOR Flash的主要区别是：（）中通常存在坏块，（）容量可以做到很大，（）写入速度比较快，（）读出速度比较快；

6.如下电路实现的逻辑功能为（）进制计数器。



7.已知E1=R2=R3=R4=R5=R6=R，下图从电源两端向右看去的等效电阻为（）。



**8.**以下verilog代码的out[7:0]的逻辑可以用一条assign语句重写为（）

wire [7:0]in,a,b;

reg [7:0] out;

genvar i;

generate

for(i=0;i<=8;i++)begin:gen\_block

always@(\*)begin

if(in[i])

out[i]=a[i]^b[i];

else begin

if(i==0)

                out[i]=1’b0;

            else

out[i]=in[i-1];

end

      end

end

endmodule

9.一批IC样品在测试中发现有setup或者hold时序问题，先取A、B、C、D四颗样品进行测试。

A降温后停止工作，则可能是（）问题；

B升温后停止工作，则很可能是（）问题；

C降压后停止工作，则很可能是（）问题；

D升压后停止工作，则可能是（）问题。

10.一个4bits的输入A，A！=4’b0,A中从MSB开始出现的第一个1的位置表示为B，e.g：A=4’b0111,B=2’b10(从MSB开始，第一个1出现在A的bit2)

B[1]=?  B[0]=?

**【多选题】每题2分**

1.**在高速系统设计中，下列哪种优化方案的可以提高系统的工作频率（）**

A 迟置信号后移

B 树型结构

C 流水线

D 资源共享

**2.下面哪些属于动态验证范围（）**

A modelsim仿真

B 形式验证

C 后仿

D STA

**3.以下方法哪些是进行面积优化（）**

       A    寄存器配平

       B    逻辑优化

       C    资源共享

       D    串行化

       E     流水线

       F     关键路径优化

4.**可综合的verilog语法包括（）**

      A assign

      B for

      C always

      D wait

      E time

      F initial

      G generate

**5.在异步设计中对跨时钟处理的信号，功能验证一般需要考虑以下哪些因素**

     A 信号高电平有效还是低电平有效

     B 信号变化的最小宽度

     C 时钟频率

     D 相位和抖动

**【单选】每题2分**

**1.欲产生序列信号1101011，则至少需要（）级触发器；**

     A 4

     B 3

     C 2

     D 5

**2.关于跨时钟域电路的设计，以下说法正确的是**

    A 跨时钟域电路存在亚稳态风险，最好避免使用

    B 信号经过两级D触发器同步后即可进行跨时钟域传递

    C 跨时钟域电路中一定存在亚稳态

    D 采用单一时钟的电路也可能产生亚稳态

**3.若要将一异或非门当做反向器（非门）使用，则输入端A、B端的连接方式是（）**

     A A和B并联使用

     B A或B中有一个接0

     C A或B中有一个接1

     D 不能实现

**4.以下代码综合出来的D触发器的D端逻辑表达式为（）**

always@（posedge clk or negedge rst\_n）

if（~rst\_n）

q<=1’b0;

else if(set)

q<=1’b1;

else if(wr)

q<=wdata;

     A set | (wr | wdata ) & q

     B ~ set & (wr & wdata )| q

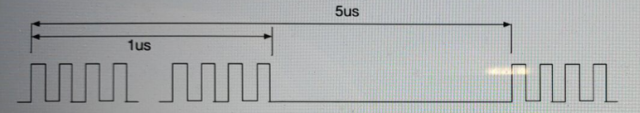
     C set | wr & wdata |~ wr & q

     D set & (~ wr & q) |wr & wdata & (~ set )

5.    moduleA/moduleB用的是同一个clock，clock频率80Mhz，moduleA和moduleB同时启动，moduleA产生如下周期性的burst数据给moduleB，一共产生8次burst，burst rate：1280Mbit/s，burst持续时间1us，burst内部速率均匀，burst周期5us，余下的4us内没有数据。

moduleB收到启动信号后，需要花10us做初始化，所以先把moduleA的数据缓存在moduleB内部的同步fifo中，同步fifo位宽32bits，初始化结束后moduleB以640Mbit/s的均匀速率从fifo中读取数据。

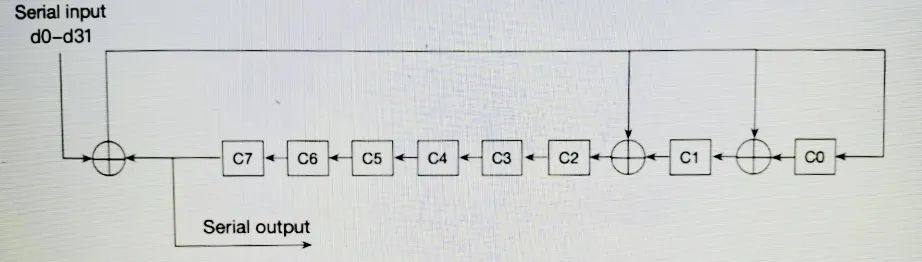
在满足功能需求的前提下，为了节省电路面积，要求fifo size越小越好，以下四个选项的fifo深度，选项（）的fifo深度是符合要求的。



A 128        B 96      C 64     D 160

**【问答题】每题20分**

**1.用verilog实现CRC-8的串行计算，G(D)=D8+D2+D+1,计算流程如下图所示：**



C0-C7初始化为全1，主要的端口信号如下：

input clk,rst\_n,

input data,//串行输入data，一共输入32bits，图中d0为第一个有效的数据bit，d31为最后一个有效的数据bit

input data\_valid,//data\_valid指示，这个信号为1，对应的data才是有效的

input crc\_satrt,//CRC计算的开始信号，一个clock cycle的脉冲

output crc\_out,//串行CRC输出

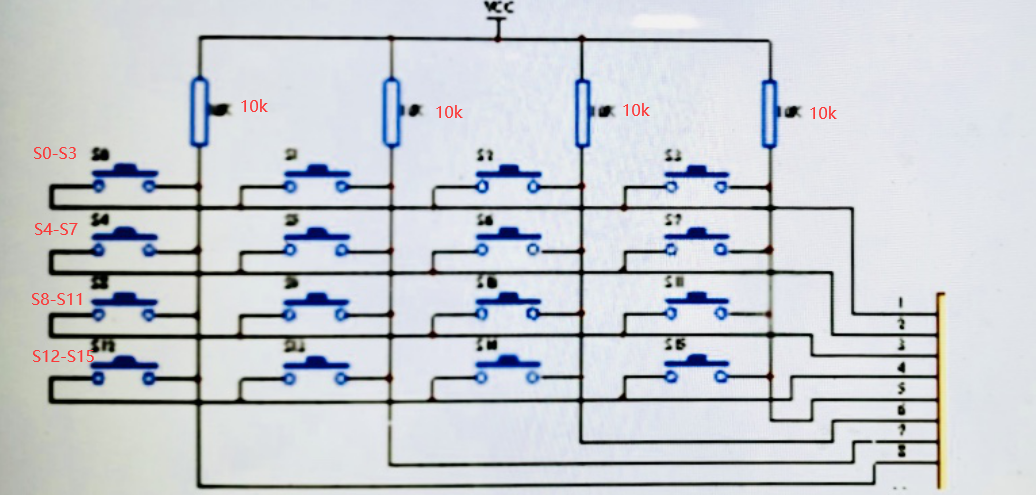
output crc\_valid//CRC valid指示

**2.请实现对4X4矩阵式键盘的按键识别。**

假设每次都是单按键输入，需要有去抖功能（持续20ms以上被认为是有效键值），模块时钟频率为1khz。

要求用状态机实现，定义状态，画出状态转移图，并用verilog完整描述该识别模块。

矩阵式键盘电路结构参见下图，其中行线1-4由识别模块控制输出，列线5-8为识别模块的输入。



**3.请根据下面的描述，尽可能多的列出你所能想到的测试点。**

如下图所示异步fifo，rdata和wdata均为8位数据，fifo深度为16，当rst\_n输入为低时，fifo被复位，当wclk的上升沿采样到wr为高时，数据被写入fifo；当rclk的上升沿采样到rd为高时，fifo输出数据。此外，当fifo为空时，empty信号输出为高，当fifo满时，full信号输出为高。

